

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-028988

(43)Date of publication of application : 31.01.1995

(51)Int.Cl. G06T 1/20  
G06F 15/16  
// H04N 7/18

(21)Application number : 05-197967

(71)Applicant : NIPPON STEEL CORP

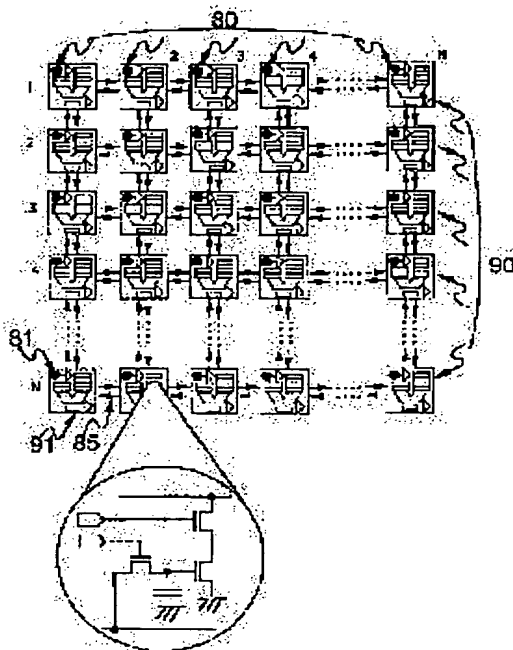
(22)Date of filing : 14.07.1993

(72)Inventor : ISHIKAWA MASATOSHI  
YAMADA YOSHIHIRO

**(54) TWO-DIMENSIONAL SENSOR SYSTEM****(57)Abstract:**

**PURPOSE:** To improve resolution and to improve the functions of respective processors by constituting a processor circuit composed of less circuit elements with an LSI for fetching and performing processing of two-dimensional data at a high speed.

**CONSTITUTION:** The two-dimensional data of an object are fetched by a two-dimensional sensor 80, received by a two-dimensional processor 90 and parallelly processed while communication is performed with the nearby processor through a communication means 85 corresponding to instructions successively sent in from an outside. By constituting the register of the processor 91 from dynamic transistor cells, the processor can be miniaturized while preserving the function. Thus, an extremely lot of the sensors and the processors can be realized on one LSI, the two-dimensional data from a wide area can be fetched at once and processed and also the two-dimensional sensor system of high performance can be constituted. Also, a sensor data processing with extremely high resolution can be performed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-28988

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 T 1/20				
G 0 6 F 15/16	3 9 0 T	7429-5L		
// H 0 4 N 7/18	B	8420-5L	G 0 6 F 15/ 66	K

審査請求 未請求 請求項の数3 F D (全 7 頁)

(21) 出願番号 特願平5-197967

(22) 出願日 平成5年(1993)7月14日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 石川 正俊

埼玉県大宮市日進町1-297 大宮第二住宅 2-302

(72) 発明者 山田 義浩

神奈川県相模原市淵野辺5丁目10番1号  
新日本製鐵株式会社エレクトロニクス研究所内

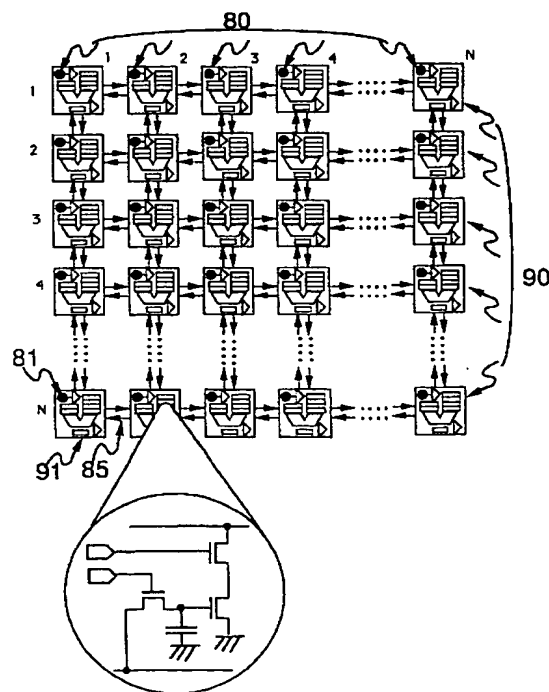
(74) 代理人 弁理士 半田 昌男

(54) 【発明の名称】 二次元センサシステム

(57) 【要約】

【目的】 二次元データを高速に取り込みかつ高速に処理するLSIで、より少ない回路素子からなるプロセッサ回路を構成することにより、解像度を高め、各プロセッサの機能を高める。

【構成】 二次元センサ80が対象の二次元データを取り込み、それを二次元プロセッサ90が受け取り、外部から順次送り込まれる命令に従って通信手段85を通して近傍のプロセッサと通信を行いながら並列処理する。プロセッサ91のレジスタをダイナミックなトランジスタセルから構成することにより、機能を保存したままプロセッサを小型化することができる。よって非常に多くのセンサとプロセッサを一つのLSI上に実現することができ、広い領域からの二次元データを一度に取り込んで処理することができ、また高性能な二次元センサシステムを構成することができる。また、非常に解像度の高いセンサデータ処理ができる。



**【特許請求の範囲】**

【請求項 1】 複数のセンサが二次元面状に並んだ二次元センサと、

複数のプロセッサが二次元面状に並び、各々の前記センサからのデータを受け取り、隣接プロセッサとの通信機構と並列処理機構を有する二次元プロセッサとを具備する二次元センサシステムにおいて、  
前記二次元プロセッサを構成する各々のプロセッサがその内部に具備するレジスタを、ダイナミックなトランジスタセルによって構成することを特徴とする二次元センサシステム。

【請求項 2】 前記レジスタは 3 個のトランジスタからなるものである請求項 1 記載の二次元センサシステム。

【請求項 3】 前記レジスタは 1 個のトランジスタからなるものである請求項 1 記載の二次元センサシステム。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、視覚情報などの二次元情報を使って検査や制御を行なったりする際に、二次元データを二次元センサから高速に取り込みかつそのち並列処理方式により高速に処理する二次元センサシステムに関する。

**【0002】**

【従来の技術】二次元センサシステムとして視覚センサシステムを一例にとった場合、従来の典型的なシステムは視覚センサとしてのビデオカメラと画像処理装置という組合せであった。このようなシステムは、画像検査装置や視覚データを使った制御装置としてしばしば使われるが、高速化のためには画像処理装置を並列処理によって高速化することが行なわれてきた。しかし、画像処理だけでなく、その前段の視覚センサも同程度に高速化されて初めて、高速な視覚センサシステムを実現することができる。現状では、視覚センサからのデータは、視覚センサからのデータ取り出しの段階で直列化され、逐次的に視覚センサ外部へ送出されるため、画像処理装置の方では 30 フレーム／秒に代表されるような速度でしか画像を得ることができず、いかに画像処理だけを高速化してもシステム全体の高速化には限界があった。このような状況は、触覚センサなどの他の二次元センサの場合でも同様である。つまり、二次元センサが並列に取り込んだ二次元データをいったん直列化してから再度並列に処理を行う構成になっている。

【0003】そこで、センサ出力とプロセッサ入力とを一对一に結合し、かつプロセッサが並列処理を行うことにより、プロセッサの個数に応じた高速化を図ることができる。この場合結合のための配線が膨大な量になるのだが、これに対して、一つの LSI 上にセンサとプロセッサとを一組にして実装することにより、配線が不要でかつ非常に高速な視覚センサシステムを構成することができる。

【0004】このように処理機構が一体化された二次元センサシステムは、過去にもいくつか開発された例がある。しかしそれらの LSI のほとんどは、回路が固定されており、固定した目的に使用されるように作られている。従って一つのセンサのもつ機能は一通りで限られており、また個々の用途に対してセンサシステムを開発する必要があるため、手間とコストがかかる。

【0005】この課題に対して、各プロセッサとして、プログラムによって制御される汎用プロセッサを使用することにより、一つの二次元センサシステムで複数の機能を実現することができる。また別々の用途に対して、一つの二次元センサシステムを開発するだけで、あとはプログラムを書き換えるだけで個別の用途に使用することができる。このように、汎用プロセッサを使用することにより、二次元センサシステムを高機能で低価格な装置にすることができる。

【0006】ここで、各プロセッサは、多くのトランジスタを使用して実現すると、高い汎用性や高い機能をもたせることができて一見よいのだが、一方で、限られた LSI 面積におさまるセンサ数が減少し、解像度が低下する。従って、プロセッサの汎用的な機能を保ちつつ、少ないトランジスタ数でプロセッサを実現することが重要な課題となってくる。

【0007】この課題に取り組んだ従来の装置の例として、石川：“大規模並列処理機構による視覚機能の工学的実現”，理研シンポジウム第 12 回非接触計測と画像処理，1991 年 10 月，（p. 18 左半分 13 行目～21 行目）がある。ここではアーキテクチャを工夫することにより回路のコンパクト化を図り、1 プロセッサエレメント当り 337 ゲートのプロセッサエレメント回路を実現している。

【0008】しかしながら、この回路規模ではまだまだ十分な集積度が得られていない。例えば、100 万トランジスタの LSI でこのシステムを作った場合でも、32×32 程度の解像度しか得られない。

**【0009】**

【発明が解決しようとする課題】二次元センサシステムにおいては、二次元センサと二次元プロセッサとを一つの LSI によって実現することにより、高速、小型、軽量、低価格、低消費電力、などのすぐれた効果が得られる。その際、二次元プロセッサを構成する各プロセッサの回路規模が小さければ小さいほど集積度を高めることができ、より高い解像度の二次元センサシステムを実現することができる。また、各プロセッサの同一回路部分を少ないトランジスタ数で実現することにより、同じ解像度で余分な回路を付加することができるようになり、より高機能な二次元プロセッサを具備する二次元センサシステムを実現することができる。

【0010】本発明は上記の事情に基づいてなされたものであり、解像度、各プロセッサの機能を高めるため

に、より少ない回路素子からなるプロセッサを有する二次元センサシステムを提供することを目的とする。

#### 【0011】

【課題を解決するための手段】従来の装置においては、二次元センサシステムにおける各プロセッサのレジスタを実現するために、スタティックなトランジスタセルをもとにしていた。例えば、本発明者による先の発明“パターン信号処理用LSI”（公開特許公報（A）昭62-247472，p. 455，図1）の4ビットシフトレジスタがこれに該当する（図5はこれを示す図である。）。

【0012】上記課題を解決するために、本発明の二次元センサシステムは、二次元プロセッサを構成する各プロセッサがその内部に具備するレジスタを、ダイナミックなトランジスタセルによって形成したものである。ここで、ダイナミックという性質ではなく、ダイナミックなトランジスタセルを実現するために必要なトランジスタ数が少なく済む、という性質がよい効果を生ずることにつながる。

#### 【0013】

【作用】上記のように構成された本発明の二次元センサシステムにおいて、ダイナミックなトランジスタセルはスタティックなトランジスタセルに比べはるかに少ないトランジスタ素子数でレジスタを構成することができるため、プロセッサの回路を構成する素子数を大幅に削減することができる。したがって本発明によれば、上記の従来の技術に比較して、非常に多くのセンサとプロセッサを一つのLSI上に実現することができ、広い領域からの二次元情報を一度に取り込んでかつ処理することができ、高性能な二次元センサシステムを構成することができる。また、非常に解像度の高いセンサデータ処理を、一つの二次元センサシステムのみで行なうことができる。さらに、二次元センサシステム内のセンサの個数が同じ場合には、他の機能を持つ回路を各プロセッサに付加することができ、その分、より機能向上や高速化、などを達成することができる。

#### 【0014】

【実施例】以下に、本発明の一実施例である二次元センサシステムについて図面を参照して説明する。まず、二次元センサシステム全体の構成を簡単に説明する。図1は、本発明による二次元センサシステムの概略構成図である。二次元センサ80は、センサ81が $N \times N$ の格子状に並んだものから成り、センシングしたい対象物について、画像データなどの二次元データを取り込み、二次元プロセッサ90へ送る。二次元プロセッサ90は、プロセッサ91が $N \times N$ の格子状に並んだものから成り、外部から順次送り込まれるプログラムまたは命令に従って通信手段85を通して近傍のプロセッサと通信を行ないながら二次元データを並列処理する。本実施例では、これらすべてが一つのLSI上に実現されているとす

る。

【0015】次にこの二次元プロセッサを構成する一つのプロセッサの回路の概略について説明する。図2は、本発明によるシステムのうち、図1のプロセッサ91にあたる部分の論理回路の詳細図である。図2の回路は複数のレジスタ70，算術演算部71，隣接間通信機構72，73などを具備する汎用プロセッサである。ここで、本システムで処理される二次元データは、各プロセッサが具備するレジスタに記憶されたデータの $N \times N$ 個の集合体に対応する。

【0016】次に、このプロセッサ91を構成する、プロセッサ内部の一つのレジスタ70について、従来の技術との対比を行ないながら詳細に説明する。課題を解決するための手段、の部分で述べたように、従来の装置においては、二次元センサシステムにおける各プロセッサのレジスタを実現するために、スタティックなトランジスタセルをもとにしていた。図4（MOS LSI 設計入門，J. メーバー，他，著，産業図書（株），155ページ，図5. 23と同一である。）は、スタティックなトランジスタセルを使用したレジスタの代表的な構成を示す回路図である。図4のレジスタでは、6個のトランジスタを使用している。

【0017】一方、図3は、図2における一つのリジスタ70の一例を示す詳細図である。図3において1ビットのリジスタは、3個のトランジスタによって構成されている。1ビットのデータは、トランジスタ10のゲート線15がもつ静電容量40に電荷量として蓄えられている。データを読み出す場合は、リード制御線25の電圧をHighにすることによりトランジスタ10，20を順次通して静電容量40に蓄えられている電圧信号の反転電圧信号がリード信号線50に送出される。リード信号線50は算術演算装置の入力に結合しており、そこで演算処理が行なわれる。算術処理装置からレジスタへデータを格納する場合には、算術処理装置からライト信号線60へデータが送出される。この時にライト制御線35をHighにすることにより、トランジスタ30を通してライト信号線60の電圧信号が静電容量40へと書き込まれる。

【0018】以上のような構成によってレジスタを実現しているため、1ビット当りのレジスタを実現するために必要なトランジスタの個数は本実施例では3個で済む。従って図2のプロセッサのレジスタの回路を実現するのに必要なトランジスタの個数は、従来の回路で必要とされていた個数に比較して、例えば1/2程度と、大幅に削減することができ、その分、高解像度化，高機能化を達成することができる。

【0019】図6（MOS LSI 設計入門，J. メーバー，他，著，産業図書（株），160ページ，図5. 27（d）と同一である。）は、トランジスタ1個によるダイナミックなセルの回路図で、請求項3に対応

する実施例である。この場合は、データの読み出しと書き込みとを一本の同一の信号線を使用して行うため、セル以外に周辺の回路を付加する必要がある。従って、一つのプロセッサに対して多くのビット数のレジスタを必要とする場合には、余分に周辺回路を付加しても回路素子削減の効果は大きくなる。

#### 【0020】

【発明の効果】本発明のシステムによれば、1ビット当りのレジスタを構成するためのトランジスタ個数が、例えば3個などと、非常に少なくできるため、同じ面積をもつ一つのLSI上に多くのプロセッサを実現することができ、解像度の高い二次元センサシステムを構成することができる。メモリ素子において、ダイナミックなトランジスタセルによって集積度を向上させていることは通常行なわれていることだが、その目的は大容量のメモリ素子を安価にできるところに主要な効果があり、複数のメモリ素子を並べて使用することによっても大容量のメモリ装置を実現することはできる。しかしながら二次元センサの場合には、複数の二次元センサLSIを並べても、つなぎ目のところでセンサ間隔が大きくなった

り、プロセッサ間通信のための配線結合を行なう必要があったりするため、複数の二次元センサを並べて使用しても、一つの大規模な二次元センサと同等物として使用することができない。また、例えば視覚センサの場合、センサ間間隔が広すぎると、光学的に歪が発生したりするため、センサ間間隔が広すぎではいけないという条件を満たしていることが必要である。このように本発明において扱っているような二次元センサシステムにとっては、ダイナミックなトランジスタセルから成るレジスタによる各プロセッサの小型化は、本質的に重要な効果をもたらし、このような効果は、通常の論理回路素子を使った装置においては、考えられることがないものである。

【0021】また、同一解像度の場合には、各プロセッサエレメントに新たな処理機能回路を付加することができるため、ある特定の演算処理を高速に実行するハードウェア回路をプロセッサ内に取り込むことも可能であるし、今まででなかった機能を付加することも可能で、その分高機能で融通のきく二次元センサシステムを構成する

ことができる。

【0022】本発明によれば、従来の技術と比較して2倍以上の集積度が達成できることが確認されており、大幅な解像度の向上、または大幅な機能向上を実現できる効果がある。さらに、従来の技術に比べ、少ないトランジスタ数で同一機能を実現できるため、駆動するトランジスタ数が少ない分、消費電力が少なくてすむ、という効果ももつ。これは数千個から数万個というプロセッサを一つのLSI内部に実現することを考えると必要不可欠な効果である。

#### 【図面の簡単な説明】

【図1】本発明の一実施例である二次元センサシステムの概略構成図である。

【図2】プロセッサの回路の詳細図である。

【図3】ダイナミックなトランジスタセルを使用したレジスタの回路図である。

【図4】スタティックなトランジスタセルを使用したレジスタの代表的な構成を示す回路図である。

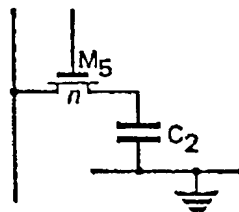
【図5】従来のプロセッサの回路を示す図である。

【図6】トランジスタ1個によるダイナミックなセルの回路図で、請求項3に対応する実施例を示す図である。

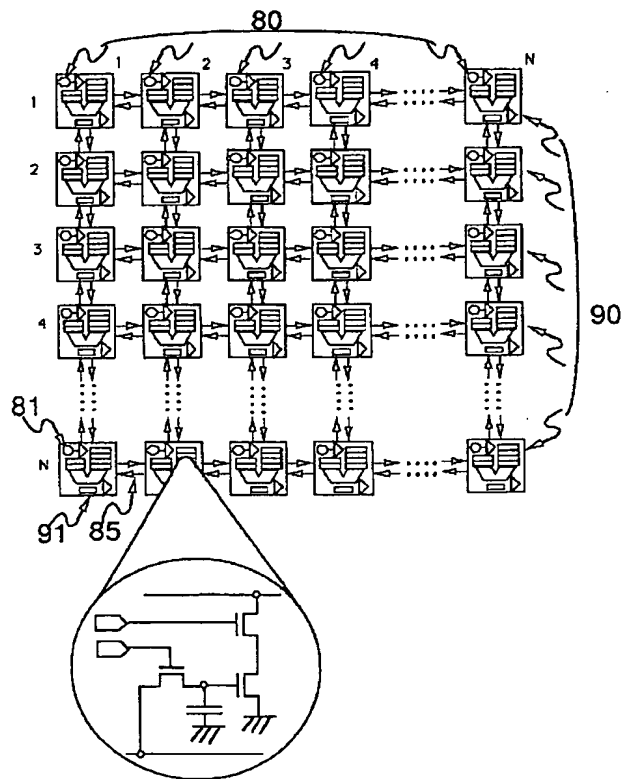
#### 【符号の説明】

10	トランジスタ
15	ゲート線
20	トランジスタ
25	リード制御線
30	トランジスタ
35	ライト制御線
40	静電容量
50	リード信号線
60	ライト信号線
70	レジスタ
71	算術演算部
72, 73	隣接間通信機構
80	二次元センサ
81	センサ
85	通信手段
90	二次元プロセッサ
91	プロセッサ

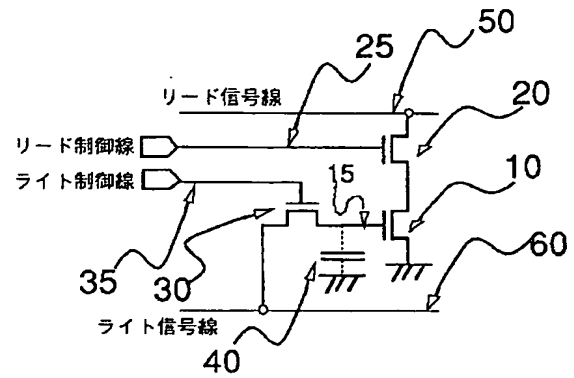
【図6】



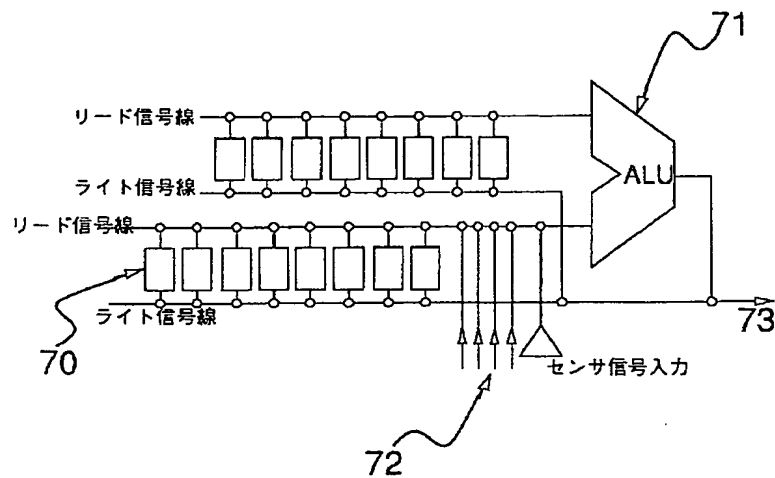
【図 1】



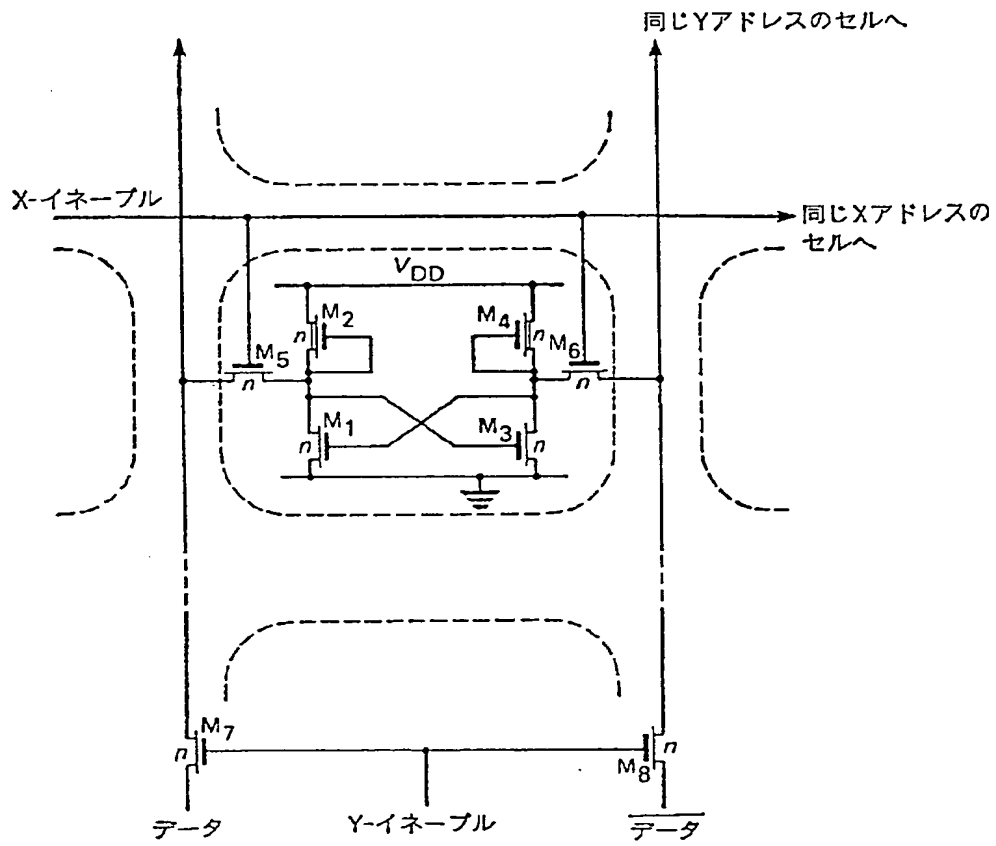
【図 3】



【図 2】



【図 4】



【図 5】

